

PAT-NO: JP02000156506A

DOCUMENT-IDENTIFIER: JP 2000156506 A

TITLE: MANUFACTURE OF SEMICONDUCTOR
INTEGRATED CIRCUIT

PUBN-DATE: June 6, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
YOSHIDA, YOSHIFUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO INSTRUMENTS INC	N/A

APPL-NO: JP10331691

APPL-DATE: November 20, 1998

INT-CL (IPC): H01L029/786, H01L021/8238 , H01L027/092 ,
H01L027/08

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for forming an alignment mark necessary for formation of a CMOS transistor on an SOI wafer.

SOLUTION: An Si semiconductor film 1 is formed on a support substrate 3 via an insulating film 2 to form an SOI wafer, and a thermal oxidation film and a nitride film are on the wafer. Thereafter resist is coated on the substrate and subjected to a patterning process, and the nitride film is etched to form an opening and alignment marks 7. Ion implantation is

carried out into a well
9 only from the opening with the nitride film used as a
mask. A resist 11 is
coated thereon, aligned with the marks 7 on the nitride
film, exposed to light,
and subjected a dry etching process to form alignment marks
10 until the marks
10 are extended as passed through the nitride, oxide,
semiconductor and
insulating films and reach a part of the substrate 3. The
nitride and oxide
film are removed, a thermal oxidation film and a nitride
film are newly formed,
a resist is coated and aligned with the marks 10 coated
with the resist, a LO
COS is subjected to a patterning process, the nitride film
is etched and opened
and thermally oxidized to form the LOCOS, and then the
nitride film and the
other oxidation films are removed. As a result, the marks
can be formed even
on the substrate and be confirmed.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156506

(P2000-156506A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int.Cl. ⁷	識別記号	F I	ターム [*] (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 3 A 5 F 0 4 8
21/8238		27/08	3 3 1 E 5 F 1 1 0
27/092			3 2 1 B
27/08	3 3 1	29/78	6 2 1

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平10-331691

(22) 出願日 平成10年11月20日 (1998. 11. 20)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社
千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 吉田 宜史

千葉県千葉市美浜区中瀬1丁目8番地 セ
イコーインスツルメンツ株式会社内

(74) 代理人 100096286

弁理士 林 敬之助

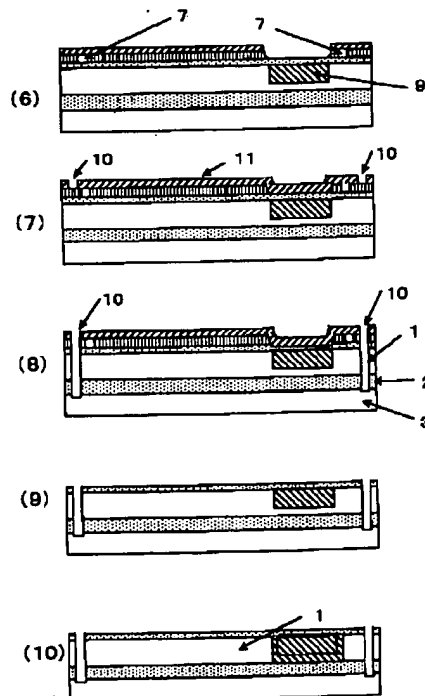
Fターム(参考) 5F048 AB10 AC03 BA16 BE07 BG01
BG125F110 AA30 BB04 CC01 DD13 GG13
NN66

(54) 【発明の名称】 半導体集積回路の製造方法

(57) 【要約】 (修正有)

【課題】 SOIウエハ上にCMOSTランジスタ形成時に必要なアライメントマークの形成方法を提供する。

【解決手段】 支持基板3上に絶縁膜2を介しSi半導体膜1を形成したSOIウエハ上に、熱酸化膜と窒化膜を形成後、レジストを塗布パターンニングし、窒化膜をエッチングして開口部とアライメントマーク7を形成する。次に窒化膜をマスクとして開口部のみからウエル9ヘイオン注入する。レジスト11を塗布し、窒化膜上のマーク7に位置合わせ露光後、窒化膜、酸化膜、半導体膜、絶縁膜を貫通して支持基板3の一部に達するまでドライエッチングしてアライメントマーク10を形成する。窒化膜と酸化膜を除去し、新に熱酸化膜と窒化膜を形成し、レジスト塗布しマーク10に合わせてLOCOSをパターンニングし、窒化膜をエッチングし開口させ熱酸化してLOCOSを形成後、窒化膜と他部分の酸化膜を除去することで基板にもマークが形成され確認できる。



【特許請求の範囲】

【請求項1】 支持基板の上に絶縁膜を介して設けられた200～3000Åの半導体膜上にCMOSTランジスタを形成する半導体集積回路の製造方法において、支持基板の上に絶縁膜を介して設けられた半導体膜上に酸化膜を形成する工程と、前記酸化膜上に窒化膜を形成する工程と、前記窒化膜をエッチングしてイオン注入を行い、ウェルを形成する工程と、前記窒化膜、前記酸化膜、前記半導体膜、前記絶縁膜を貫通し、前記支持基板の一部にまで達するエッチングを行ってアライメントマークを形成する工程と、前記窒化膜、前記酸化膜を除去し、新たな酸化膜、新たな窒化膜を形成する工程と、前記新たな窒化膜をエッチングする工程と、エッチングされた前記新たな窒化膜の開口部を酸化してLOCOSを形成する工程と、前記新たな窒化膜を除去する工程と、を備えることを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、支持基板上に絶縁膜を介して設けられた半導体膜上にCMOSTランジスタを形成する時に必要なアライメントマークの形成方法に関する。

【0002】

【従来の技術】 図4に、従来のCMOSTランジスタの形成におけるアライメントマークの形成方法を示す。半導体基板20上に酸化膜21を500Å形成し、さらに、酸化膜上に窒化膜5を1000Å形成する。次に、窒化膜5上にレジスト6を塗布してパターニングをおこない、ウェルを形成するための開口部8を形成する。この時、アライメントマーク7も形成される。アライメントマーク7も窒化膜の開口部である。次に、レジスト6、窒化膜5をマスクとしてウェル形成のためのイオン注入を行い、窒化膜5上に形成された開口部8から酸化膜21を通してイオン注入を行う。さらに、図5(26)に示すように、イオン注入された半導体基板20に窒化膜5をマスクとして酸化膜22を3000Å形成する。ここで、アライメントマーク7の部分も酸化される。この酸化工程は、次のLOCOS形成の工程であわせマークとなるアライメントマーク7の段差を、半導体基板20上につけるために必要な工程である。次に、図5(27)、(28)に示すように、窒化膜5を除去し、ウェルドライブインを行う。さらに、ウェル9部分、アライメントマーク7部の酸化膜厚が3000Åである酸化膜22を除去する。これにより、半導体基板上にアライメントマークの段差(凹み)23が1000Å程度形成される(図5(29))。次に、半導体基板上に酸化膜24を350Å形成し、図6(31)に示すよ

うに、さらにその上に窒化膜13を1600Å形成する。次に、窒化膜13上にレジスト14を塗布して、半導体基板20上に形成されている1000Å程度の凹みのアライメントマーク23にあわせてパターニングを行う。このパターニングは、LOCOS形成のためのパターニングである。そして、窒化膜13をエッチングして、LOCOS16を形成する部分は窒化膜13を除去する。この時、アライメントマーク部25もLOCOS16を形成する。次に、図6(34)に示すように、LOCOS形成部には窒化膜13が除去された状態で、酸化を5500Å行う。これにより、窒化膜13が覆われていない部分にLOCOS16として酸化膜が5500Å形成され、かつ、アライメントマーク25にも酸化膜が5500Å形成される。よって、アライメントマークは2000Å程度の段差(凸)になる。次に、図6(35)に示すように、窒化膜13を除去して、さらに、LOCOS16が形成されていない部分の酸化膜を除去して、ゲート酸化膜形成工程に進む。ここで、これ以降のアライメント工程では、LOCOS工程で形成された2000Å程度の凸にあわせてパターニングしていく。

【0003】

【発明が解決しようとする課題】 従来のCMOSTランジスタの形成方法では、ウェルドライブインの工程までに、トータル約3500Å厚の酸化膜形成工程がある。ここで、この酸化膜形成工程を熱酸化で行った場合、半導体基板の深さ方向にも酸化が広がっていく。絶縁膜上の半導体膜の厚みが200から2000ÅのSOIウェハで、従来のCMOS形成方法を行うと、酸化膜工程で半導体膜の深さ方向に酸化膜が広がり、ウェルドライブインの工程までに半導体膜部分がすべて酸化膜になってしまう。このような不具合を防ぐため、ウェル形成のためのイオン注入工程後の酸化膜形成工程では、酸化膜厚を少なくする手段がとられる。しかし、従来のCMOSTランジスタ形成工程では、酸化膜形成後、ウェル部分、アライメントマーク部分の酸化膜を除去した時にできる段差(凹み)を次の工程のアライメントマークとして使っているため、酸化膜厚を少なくするという手段は、形成されたアライメントマークの段差(凹み)が少ないということになる。そのため、次の工程以降でアライメントを行う場合、このアライメントマークを確認することが困難であった。

【0004】 また、LOCOSを形成する工程で凸のアライメントマークを形成するが、LOCOSを形成していくと半導体膜の深さ方向にも酸化が広がっていくため、半導体膜が200～3000ÅのウェハではLOCOSが支持基板の絶縁膜とつながってしまい、LOCOS厚を厚くすることができない。よって、アライメントマークの凸は段差が少なく、LOCOS工程以降、このアライメントマークでパターニングすることが困難となっていた。

【0005】

【課題を解決するための手段】本発明は、支持基板の上に絶縁膜を介して設けられた200～3000Åの半導体膜上に酸化膜を形成する工程と、前記酸化膜上に窒化膜を形成する工程と、前記窒化膜をエッチングする工程と、前記エッチングされた窒化膜の開口部を通して半導体膜にイオン注入を行い、ウェルを形成する工程と、前記窒化膜、前記酸化膜、前記半導体膜、前記支持基板の絶縁膜を貫通し、前記支持基板の一部にまで達するエッチングを行ってアライメントマークを形成する工程と、前記窒化膜、前記酸化膜を除去し、新たに酸化膜、窒化膜を形成する工程と、前記窒化膜をエッチングする工程と、前記エッチングされた窒化膜の開口部を酸化してLOCOSを形成する工程と、前記窒化膜を除去する工程を備える。これにより、SOIウェルの支持基板にもアライメントマークが形成されることになり、これまで、ウェルドライブインまでの酸化膜工程で凹みのアライメントマークを形成する方法では、アライメントマークの段差が少なく、マークが確認できないという不具合があったが、この不具合は解消される。

【0006】また、LOCOSを形成する工程で凸のアライメントマークを形成するが、半導体膜が200～3000Åのウェルでは、LOCOSを形成していくと半導体膜の深さ方向にも酸化が広がっていくため、支持基板の絶縁膜とつながってしまう。このため、LOCOS厚を厚くすることができず、アライメントマークの凸は段差が少なくアライメントでマークを確認することが困難という不具合も解消される。

【0007】

【発明の実施の形態】本発明の実施の形態を図1から図3を基に説明する。図1(1)に示すように、支持基板3の上に絶縁膜2を介して設けられた200～3000Å厚の半導体膜1を持つSOIウェルに、100Å厚程度の熱酸化膜4を形成する(図1(2))。この熱酸化膜4は、次の工程である窒化膜5成膜のためとウェルイオン注入時の基板ダメージ低減のために必要な成膜である。次に図1(3)に示すように、酸化膜4上に窒化膜5を1600Å程度形成する。窒化膜5はウェル形成のためのイオン注入時、マスクとして機能するものである。窒化膜5形成後、窒化膜5上にレジスト6を塗布して、パターニングを行う。次に図1(5)に示すように、窒化膜5をエッチングして、ウェル9へのイオン注入のための開口部8を形成する。この時、アライメントマーク7もエッチングされ、窒化膜5厚みの凹みが形成される。次に図2(6)に示すように、窒化膜5をマスクとして酸化膜4ごとにイオン注入を行う。これにより、窒化膜5の開口部8のみにイオンが注入される。次に図2(7)に示すように、アライメントマーク10のパターニングを行う。レジスト11を塗布して、窒化膜5上に形成されたアライメントマーク7にあわせてアライ

メント&露光をした後、窒化膜5、酸化膜4、半導体膜1、支持基板の絶縁膜2を貫通し、支持基板3の一部までをドライエッチングでエッチングする。この工程により、支持基板3上のすべての膜にアライメントマークが形成されたことになる。次に図2(9)、(10)に示すように、窒化膜5を除去してウェルドライブインを行う。この時、ウェルドライブインは窒素雰囲気中で行い、半導体膜1の膜厚が減少してしまう酸化膜形成を防ぐ。次に図3(11)に示すように、LOCOS16を形成する工程に入る。ウェルドライブイン後のウェルに熱酸化膜12を160Å程度形成し、さらにその上に窒化膜13を1600Å程度形成する。次にレジスト14を塗布して、ドライエッチングで形成されたアライメントマーク10にあわせてアライメント&露光を行い、LOCOS16のパターニングを行う。次に、窒化膜13をエッチングして、LOCOS形成部を開口させる(図3(14))。この状態で、熱酸化炉に投入し、LOCOS16を形成する。LOCOS厚は、LOCOS16が支持基板3上の絶縁膜2に達するように形成する。LOCOS16が形成された後、窒化膜13を除去し、さらに、LOCOS16以外の部分の酸化膜をすべて除去してゲート酸化工程に進む。ここで、ゲート酸化工程以降のアライメント工程では、エッチングによって形成された半導体膜1、支持基板3上の絶縁膜2を貫通し、支持基板3の一部も凹んだアライメントマーク10にあわせてアライメントがなされる。

【0008】本発明では、絶縁膜上の半導体膜1の厚みを200～3000Åとしている。これは、上記工程では、熱酸化工程で300Å程度の酸化膜が形成されるため、半導体膜1上にMOSTランジスタを形成させるには、少なくとも半導体膜1の厚みが200Å以上でないと形成できない。また、アライメントマーク7及び10は1000Å程度の段差が形成されていないと確認することが困難になる。ここで、従来のMOSTランジスタの製造方法で、アライメントマークが1000Åの段差をもてるように製造すると、LOCOS16形成の工程までに形成される酸化膜厚は、6000Å程度となる。このため、酸化膜厚が6000Å程度の場合で半導体膜上にMOSTランジスタを形成させるには、半導体膜厚は3000Å程度である。これ以上の半導体膜1厚では、従来のアライメントマーク形成方法で対応することができないので、本発明に適用される半導体膜の厚みは200～3000Åとなる。

【0009】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を有する。支持基板の上に絶縁膜を介して設けられた200～3000Åの半導体膜上に酸化膜を形成する工程と、前記酸化膜上に窒化膜を形成する工程と、前記窒化膜をエッチングする工程と、前記エッチングされた窒化膜の開口部を通し

5

て半導体膜にイオン注入を行い、ウェルを形成する工程と、前記窒化膜、前記酸化膜、前記半導体膜、前記支持基板の絶縁膜を貫通し、前記支持基板の一部にまで達するエッチングを行ってアライメントマークを形成する工程と、前記窒化膜、前記酸化膜を除去し、新たに酸化膜、窒化膜を形成する工程と、前記窒化膜をエッチングする工程と、前記エッチングされた窒化膜の開口部を酸化してLOCOSを形成する工程と、前記窒化膜を除去する工程からなる。これにより、SOIウェハの支持基板にもアライメントマークが形成されることになり、これまで、ウェルドライブインまでの酸化膜工程で凹みのアライメントマークを形成する方法では、アライメントマークの段差が少なく、マークが確認できないという不具合があったが、この不具合が解消される効果がある。

【0010】また、LOCOSを形成する工程で凸のアライメントマークを形成するが、半導体膜が200~3000Åのウェハでは、LOCOSを形成していくと半導体膜の深さ方向にも酸化が広がっていくため、支持基板の絶縁膜とつながってしまう。このため、LOCOS厚を厚くすることができず、アライメントマークの凸は段差が少なくてアライメントでマークを確認することが困難という不具合があったが、この不具合も解消されるという効果がある。

【図面の簡単な説明】

6

【図1】本発明の製造方法を示すプロセスフロー図(1)である。

【図2】本発明の製造方法を示すプロセスフロー図(2)である。

【図3】本発明の製造方法を示すプロセスフロー図(3)である。

【図4】従来の製造方法を示すプロセスフロー図(1)である。

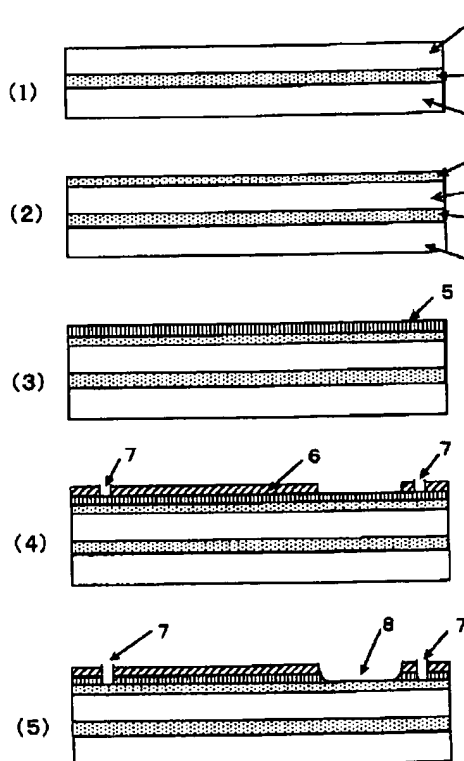
【図5】従来の製造方法を示すプロセスフロー図(2)である。

【図6】従来の製造方法を示すプロセスフロー図(3)である。

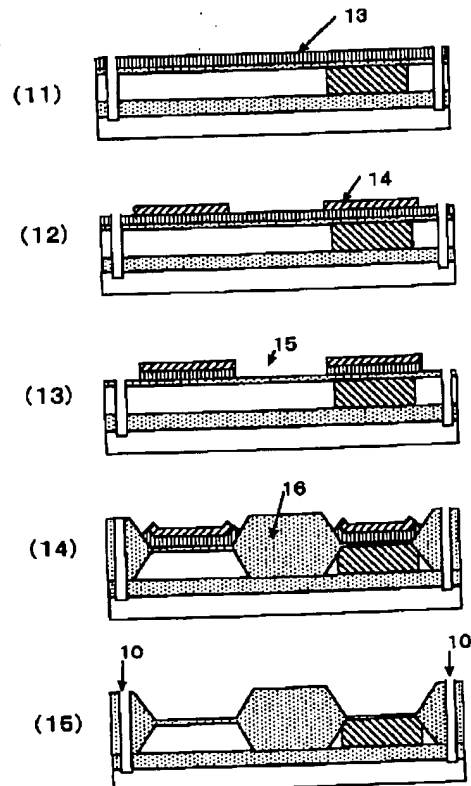
【符号の説明】

- 1 半導体膜
- 2 支持基板の絶縁膜
- 3 支持基板
- 4、2132、24 酸化膜
- 5、13 窒化膜
- 6、14 レジスト
- 7、10、23、25 アライメントマーク
- 8、15 開口部
- 9 ウェル
- 15 LOCOS
- 20 半導体基板

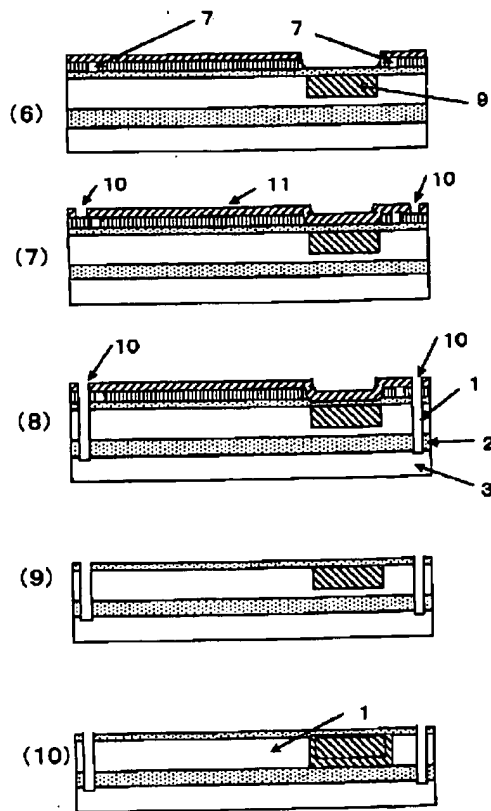
【図1】



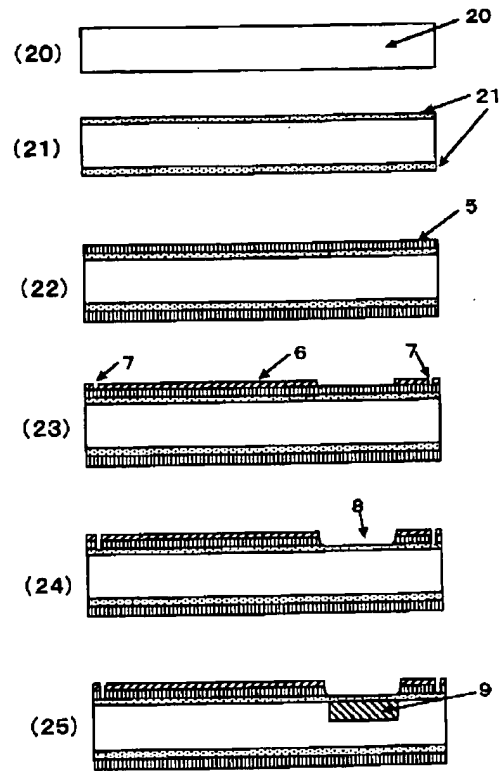
【図3】



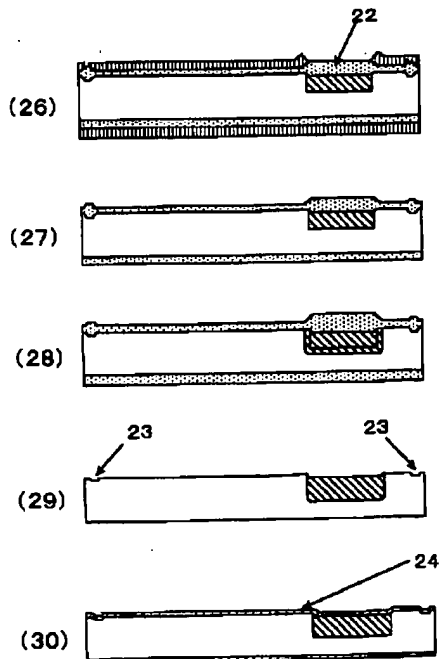
【図2】



【図4】



【図5】



【図6】

